

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jae-woong Lee; Chi-wook Kim; Sang-seok Kang

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT MEMORY DEVICES AND OPERATING METHODS  
THAT ARE CONFIGURED TO OUTPUT DATA BITS AT A LOWER RATE IN A  
TEST MODE OF OPERATION

February 5, 2004

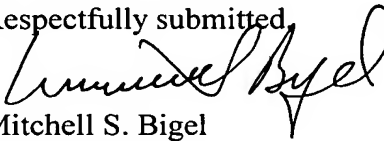
Mail Stop Patent Applications  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 10-2003-0035906, filed June 4, 2003.

Respectfully submitted,



Mitchell S. Bigel  
Registration No. 29,614

Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401  
**Customer No. 20792**

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381448744 US

Date of Deposit: February 5, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express  
Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:  
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan E. Freedman

Date of Signature: February 5, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0035906  
Application Number

출원년월일 : 2003년 06월 04일  
Date of Application JUN 04, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2003.06.04
【국제특허분류】	H01L
【발명의 명칭】	유효 출력 데이터 윈도우 (Valid output data window) 를 확장시킬 수 있는 출력회로를 구비하는 동기식 메모리장치 및 유효 출력 데이터 윈도우 확장 방법
【발명의 영문명칭】	Synchronous memory device including output circuit capable of enlarging valid output data window and method for enlarging valid output data window
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이재웅
【성명의 영문표기】	LEE, Jae Woong
【주민등록번호】	720120-1822416
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 동수원쌍용아파트 102동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	김치욱
【성명의 영문표기】	KIM, Chi Wook
【주민등록번호】	670801-1253829

**【우편번호】** 445-973  
**【주소】** 경기도 화성군 태안읍 반월리 신영동 현대아파트 110동 402호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 강상석  
**【성명의 영문표기】** KANG,Sang Seok  
**【주민등록번호】** 620806-1802711  
**【우편번호】** 441-390  
**【주소】** 경기도 수원시 권선구 권선동 1186번지 신명아파트 102동 506호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 11 면 11,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 30 항 1,069,000 원  
**【합계】** 1,109,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

테스트 모드시 유효 출력 데이터 윈도우(Valid output data window)를 확장시킬 수 있는 출력회로를 구비하는 동기식 메모리장치 및 유효 출력 데이터 윈도우 확장 방법이 개시된다. 상기 동기식 메모리장치는, 메모리셀 어레이, 및 정상 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터를 순차적으로 출력하고 테스트 모드시에는 데이터 경로를 변경하여 N번 연속하여 동일한 데이터를 출력하는 출력회로를 구비하는 것을 특징으로 한다. 상기 N은 2이상이다. 상기 출력 회로에 의해 정상 모드시에는 동작 클럭 주파수에 따라 데이터가 외부로 출력되고 테스트 모드시에는 상기 동작 클럭 주파수의  $1/N$ 에 해당하는 주파수에 따라 데이터가 외부로 출력된다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

유효 출력 데이터 윈도우 (Valid output data window) 를 확장시킬 수 있는 출력회로를 구비하는 동기식 메모리장치 및 유효 출력 데이터 윈도우 확장 방법 {Synchronous memory device including output circuit capable of enlarging valid output data window and method for enlarging valid output data window}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 제1실시예에 따른 동기식 메모리장치를 나타내는 도면이다.

도 2는 도 1에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다.

도 3은 본 발명의 제2실시예에 따른 동기식 메모리장치를 나타내는 도면이다.

도 4는 본 발명의 제3실시예에 따른 동기식 메모리장치를 나타내는 도면이다.

도 5는 도 4에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다.

도 6은 본 발명의 제4실시예에 따른 동기식 메모리장치를 나타내는 도면이다.

도 7은 도 6에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 유효 출력 데이터 윈도우(Valid output data window)를 확장시킬 수 있는 출력회로를 구비하는 동기식 메모리장치 및 유효 출력 데이터 윈도우 확장 방법에 관한 것이다.
- <10> 동기식 메모리장치의 데이터 대역폭(Band width)을 증가시키기 위하여 동작 주파수를 높이는 방법 또는 이중 데이터율(Double data rate) 기법을 이용해 한 주기에 2개의 데이터를 출력하는 방법등이 개발되어 왔다. 이와 같이 동기식 메모리장치의 동작 주파수가 높아지고 데이터 대역폭이 증가됨에 따라, 양산 테스트시 환경에 기인하여 출력 데이터에 대한 유효 구간, 즉 유효 출력 데이터 윈도우(Valid output data window)가 감소될 수 있으며 그 결과 정확한 테스트가 어려워 진다.
- <11> 따라서 고주파 동기식 메모리장치에 대한 정확한 테스트를 위해서는 테스트 모드시 유효 출력 데이터 윈도우를 확장시킬 수 있는 방법이 필요하다.

**【발명이 이루고자 하는 기술적 과제】**

- <12> 본 발명이 이루고자하는 기술적 과제는, 테스트 모드시 유효 출력 데이터 윈도우(Valid output data window)를 확장시킬 수 있는 출력회로를 구비하는 동기식 메모리장치를 제공하는 데 있다.
- <13> 본 발명이 이루고자하는 다른 기술적 과제는, 동기식 메모리장치에 대한 테스트시 유효 출력 데이터 윈도우를 확장시킬 수 있는 방법을 제공하는 데 있다.

## 【발명의 구성 및 작용】

- <14>      상기 기술적 과제를 달성하기 위한 본 발명의 일면(Aspect)에 따른 동기식 메모리장치는, 동작 클럭 주파수에 따라 데이터를 출력하는 정상 모드, 및 상기 동작 클럭 주파수의  $1/N$  ( $N$ 은 2이상의 자연수)에 해당하는 주파수에 따라 데이터를 출력하는 테스트 모드를 구비하는 것을 특징으로 한다.
- <15>      상기 본 발명의 일면에 따른 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고, 상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.
- <16>      상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 동기식 메모리장치는, 메모리셀 어레이, 및 정상 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터를 순차적으로 출력하고 테스트 모드시에는 데이터 경로를 변경하여  $N$  ( $N$ 은 2이상의 자연수)번 연속하여 동일한 데이터를 출력하는 출력회로를 구비하는 것을 특징으로 한다.
- <17>      상기 출력회로는, 상기 테스트 모드시에는 상기 독출된 데이터의 하나의 비트를  $N$ 개의 출력라인으로 연결한다. 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 동기식 메모리장치는, 외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고, 상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.
- <18>      상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 동기식 메모리장치는, 메모리셀 어레이, 및 제1테스트 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터중 홀수번째 비트를 제1제어클럭에 응답하여 외부로 출력하고 제2테스트 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터중 짝수번째 비트를 제2제어클럭에 응답하여 외부로



출력하는 출력 멀티플렉서를 구비하고, 상기 제1테스트 모드시에는 상기 제2제어클럭이 디스에이블되고 상기 제2테스트 모드시에는 상기 제1제어클럭이 디스에이블되는 것을 특징으로 한다.

<19>       상기 본 발명의 또 다른 일면에 따른 동기식 메모리장치는, 외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고, 상기 제1 및 제2테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.

<20>       상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 동기식 메모리장치는, 메모리셀 어레이, 및 상기 메모리셀 어레이로부터 독출된 데이터를 저장하는 FIFO 회로를 포함하고, 상기 FIFO 회로에 저장된 데이터중 홀수번째 비트를 제1제어클럭에 응답하여 외부로 출력하고 상기 FIFO 회로에 저장된 데이터중 짝수번째 비트를 제2제어클럭에 응답하여 외부로 출력하는 출력 멀티플렉서를 구비하고, 테스트 모드시에는 상기 제1제어클럭의 주파수와 상기 제2제어클럭의 주파수가  $1/N$ ( $N$ 은 2이상의 자연수)로 낮아지는 것을 특징으로 한다.

<21>       상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 동기식 메모리장치는, 외부에서 제어가능한 모드 레지스터 셋트(MRS)를 더 구비하고, 상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.

<22>       상기 다른 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법은, 메모리셀 어레이 및 상기 메모리셀 어레이로부터 독출된 데이터를 외부로 출력하는 출력회로를 구비하는 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법에 있어서, 테스트 모드시에 상기 출력회로의 데이터 경로를 변경하여  $N$ ( $N$ 은 2이상의 자연수)번 연속하여 동일한 데이터를 출력하는 단계를 구비하는 것을 특징으로 한다.

- <23>        상기 출력하는 단계는, 상기 테스트 모드시에 상기 독출된 데이터의 하나의 비트를 N개의 출력라인으로 연결하는 단계를 구비한다.
- <24>        상기 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(MRS)를 더 구비하고, 상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.
- <25>        상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법은, 메모리셀 어레이 및 상기 메모리셀 어레이로부터 독출된 데이터를 외부로 출력하는 출력회로를 구비하는 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법에 있어서, 제1테스트 모드시에 제1제어클럭을 인에이블시키고 제2제어클럭을 디스에이블시키는 단계, 상기 제1테스트 모드시에 상기 메모리셀 어레이로부터 독출된 데이터 중 홀수번째 비트를 상기 제1제어클럭에 응답하여 외부로 출력하는 단계, 제2테스트 모드시에 상기 제1제어클럭을 디스에이블시키고 상기 제2제어클럭을 인에이블시키는 단계, 및 상기 제2테스트 모드시에 상기 메모리셀 어레이로부터 독출된 데이터중 짝수번째 비트를 상기 제2제어클럭에 응답하여 외부로 출력하는 단계를 구비하는 것을 특징으로 한다.
- <26>        상기 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(MRS)를 더 구비하고, 상기 제1 및 제2테스트 모드는 상기 모드 레지스터 셋트에 의해 설정된다.
- <27>        본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <28>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <29> 도 1은 본 발명의 제1실시예에 따른 동기식 메모리장치를 나타내는 도면이고 도 2는 도 1에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다.
- <30> 도 1을 참조하면, 본 발명의 제1실시예에 따른 동기식 메모리장치는, 메모리셀 어레이(11), 출력회로(13), 및 모드 레지스터 셋트(Mode Register Set, MRS)(15)를 구비한다.
- <31> 출력회로(13)는, 정상 모드(Normal mode)시에는 메모리셀 어레이(11)로부터 독출된 데이터(RDIO\_0 내지 RDIO\_3)를 출력핀(17)을 통해 외부로 순차적으로 출력하고 테스트 모드시에는 데이터 경로를 변경하여  $N$ (2 이상의 자연수)번 연속하여 동일한 데이터를 외부로 출력한다. 따라서 도 2의 출력 타이밍도에 도시된 바와 같이 정상 모드시에는 동작 클럭(CLK)의 주파수에 따라 데이터(DOUT)가 출력되고, 테스트 모드시에는 동작 클럭(CLK) 주파수의  $1/N$ 에 해당하는 주파수에 따라 데이터(DOUT)가 출력된다.
- <32> 도 2에는 상기 메모리장치가 이중 데이터율(DDR)로 동작하고  $N$ 이 2인 경우가 도시되어 있다. 이 경우 테스트 모드에서는 2번의 독출동작이 수행될 때 데이터가 모두 출력된다. 예컨대 데이터가 4비트일 경우에는 제1테스트 모드의 독출동작에서 두 개의 홀수번째 비트(D0,D2)가 각각 동작클럭(CLK)의 한 사이클 동안에 출력되고 제2테스트 모드의 독출동작에서 두 개의 짝수번째 비트(D1,D3)가 각각 동작클럭(CLK)의 한 사이클 동안에 출력된다.
- <33> 따라서 본 발명의 제1실시예에 따른 메모리장치에서는 테스트 모드시 출력 데이터(DOUT)의 주파수가 낮아지므로 즉 출력 데이터(DOUT)의 데이터율이 낮아지므로 유효 출력 데이터 윈도우(Valid output data window)가 확장된다.

- <34>       상기와 같은 동작을 위해 출력회로(13)는 멀티플렉서(13A) 및 출력 멀티플렉서(13B)를 구비한다. 멀티플렉서(13A)는 테스트 모드시 데이터 경로를 변경한다. 좀더 상세하게는, 멀티플렉서(13A)는 정상 모드시에는 메모리셀 어레이(11)로부터 독출된 데이터(RDIO\_0 내지 RDIO\_3)의 홀수번째 비트(RDIO\_0, RDIO\_2)를 홀수번째 출력라인(DO\_0, DO\_2)으로 전달하고 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)를 짝수번째 출력라인(DO\_1, DO\_3)으로 전달한다. 또한 멀티플렉서(13A)는 테스트 모드의 제1테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트(RDIO\_0, RDIO\_2)를 홀수번째 및 짝수번째 출력라인(DO\_0/DO\_1, DO\_2/DO\_3)으로 전달하고 테스트 모드의 제2테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)를 홀수번째 및 짝수번째 출력라인(DO\_0/DO\_1, DO\_2/DO\_3)으로 전달한다.
- <35>       제1테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)가 출력라인들(DO\_0 내지 DO\_3)으로 전달되는 것이 블락킹된다. 제2테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트(RDIO\_0, RDIO\_2)가 출력라인들(DO\_0 내지 DO\_3)으로 전달되는 것이 블락킹된다.
- <36>       출력 멀티플렉서(13B)는 제1 및 제2제어클럭(CDQ\_F, CDQ\_S)에 의해 제어되고, 제1제어클럭(CDQ\_F)에 응답하여 홀수번째 출력라인(DO\_0, DO\_2)의 데이터를 출력핀(17)을 통해 외부로 출력하고 제2제어클럭(CDQ\_S)에 응답하여 짝수번째 출력라인(DO\_1, DO\_3)의 데이터를 출력핀(17)을 통해 외부로 출력한다. 제1 및 제2제어클럭(CDQ\_F, CDQ\_S)은 동작클럭(CLK)의 주파수와 동일한 주파수를 갖는다.
- <37>       한편 본 발명의 제1실시예에 따른 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)(15)를 더 구비하고, 상기 테스트 모드는 MRS(15)에 의해

설정된다. 예컨대 모드 레지스터 셋트(Mode Register Set, MRS)(15)의 출력신호(TM1)이 활성화되면 제1테스트 모드가 설정되고 출력신호(TM2)가 활성화되면 제2테스트 모드가 설정된다.

<38> 도 3은 본 발명의 제2실시예에 따른 동기식 메모리장치를 나타내는 도면이다. 제2실시예에 따른 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도는 도 2의 타이밍도와 동일하다.

<39> 도 3을 참조하면, 본 발명의 제2실시예에 따른 동기식 메모리장치는 제1실시예의 변형으로서 출력회로(33)의 구성이 도 1에 도시된 제1실시예의 출력회로(13)의 구성과 다소 다르다. 그러나 출력회로(33)의 출력동작은 제1실시예의 출력회로(13)의 출력동작과 동일하고 출력회로(33)의 출력 타이밍도는 도 2의 타이밍도와 동일하다.

<40> 출력회로(33)는 멀티플렉서(33A) 및 출력 멀티플렉서(33B)를 구비한다. 멀티플렉서(33A)는 테스트 모드시 데이터 경로를 변경한다. 멀티플렉서(33A)는 정상 모드시에는 메모리셀 어레이(11)로부터 독출된 데이터(RDIO\_0 내지 RDIO\_3)의 홀수번째 비트(RDIO\_0, RDIO\_2)를 홀수번째 출력라인(DO\_0, DO\_2)으로 전달하고 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)를 짝수번째 출력라인(DO\_1, DO\_3)으로 전달한다. 또한 멀티플렉서(33A)는 테스트 모드의 제1테스트 모드시에도 정상 모드시와 마찬가지로 독출된 데이터(RDIO\_0 내지 RDIO\_3)의 홀수번째 비트(RDIO\_0, RDIO\_2)를 홀수번째 출력라인(DO\_0, DO\_2)으로 전달하고 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)를 짝수번째 출력라인(DO\_1, DO\_3)으로 전달한다. 테스트 모드의 제2테스트 모드시에는 멀티플렉서(33A)는 상기 독출된 데이터의 짝수번째 비트(RDIO\_1, RDIO\_3)를 홀수번째 출력라인(DO\_0, DO\_2)으로 전달한다.

<41> 출력 멀티플렉서(33B)는 제1 및 제2제어클럭(CDQ\_F, CDQ\_S)에 의해 제어되고 제1테스트 모드 및 제2테스트 모드시에는 제1제어클럭(CDQ\_F)만이 인에이블되고 제2제어클럭(CDQ\_S)은 디

스에이블된다. 출력 멀티플렉서(33B)는 제1테스트 모드시에는 제1제어클럭(CDQ\_F)에 응답하여 홀수번째 출력라인(DO\_0, DO\_2)의 데이터를 출력핀(17)을 통해 외부로 출력하고 제2테스트 모드시에도 제1제어클럭(CDQ\_F)에 응답하여 홀수번째 출력라인(DO\_0, DO\_2)의 데이터를 출력핀(17)을 통해 외부로 출력한다.

<42> 좀더 설명하면, 제2실시예에 따른 동기식 메모리장치는 제1실시예의 변형으로서 테스트 모드시 데이터 출력의 기준이 되는 두 개의 제어클럭(CDQ\_F, CDQ\_S)중 CDQ\_F만을 이용하고 CDQ\_S를 디스에이블시킨다. 이 상태에서 테스트 모드시 멀티플렉서(33A)가 데이터 경로를 상술한 바와 같이 변경함으로써 2번 연속하여 동일한 데이터가 외부로 출력된다. 따라서 제1실시예와 마찬가지로 테스트 모드시에는 동작 클럭(CLK) 주파수의 1/2에 해당하는 주파수에 따라 데이터(DOUT)가 출력된다.

<43> 제2실시예가 제1실시예와 다른 점은 CDQ\_S를 디스에이블시켜 CDQ\_F의 제어를 받는 경로들, 즉 홀수번째 출력라인(DO\_0, DO\_2)만을 이용하여 테스트를 진행하는 점이다. 이로 인해 CDQ\_S의 제어를 받는 경로들, 즉 짝수번째 출력라인(DO\_1, DO\_3)에 대한 테스트는 실제로는 수행되지 않게 되는 단점이 있으나, RDIO와 DO 사이의 멀티플렉서(33A)가 동작이 비교적 간단해지면서 구현도 쉽고 정상 모드에서의 동작에 거의 영향을 미치지 않게 회로가 구현될 수 있다는 장점이 있다.

<44> 도 4는 본 발명의 제3실시예에 따른 동기식 메모리장치를 나타내는 도면이고 도 5는 도 4에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다.

<45> 도 4를 참조하면, 본 발명의 제3실시예에 따른 동기식 메모리장치는, 메모리셀 어레이(11), 출력 멀티플렉서(43), 및 모드 레지스터 셋트(MRS)(15)를 구비한다.

- <46> 제3실시예에서는 제1테스트 모드시에 제2제어클럭(CDQ\_S)이 디스에이블되고 제2테스트 모드시에는 제1제어클럭(CDQ\_F)이 디스에이블된다. 출력 멀티플렉서(43)는 제1테스트 모드시에는 메모리셀 어레이(11)로부터 독출된 데이터(RDIO\_0 내지 RDIO\_3)중 홀수번째 비트(RDIO\_0, RDIO\_2)를 CDQ\_F에 응답하여 외부로 출력하고 제2테스트 모드시에는 상기 독출된 데이터중 짝수번째 비트(RDIO\_1, RDIO\_3)를 CDQ\_S에 응답하여 외부로 출력한다. 제1 및 제2테스트 모드는 모드 레지스터 셋트(MRS)(15)에 의해 설정된다.
- <47> 정상 모드시에는 제1제어클럭(CDQ\_F) 및 제2제어클럭(CDQ\_S)은 모두 인에이블된다. 정상 모드시에는 출력 멀티플렉서(43)는 상기 독출된 데이터중 홀수번째 비트(RDIO\_0, RDIO\_2)를 CDQ\_F에 응답하여 외부로 출력하고 상기 독출된 데이터중 짝수번째 비트(RDIO\_1, RDIO\_3)를 CDQ\_S에 응답하여 외부로 출력한다.
- <48> 좀더 설명하면, 제3실시예가 제1실시예 및 제2실시예와 다른 점은 제2테스트 모드에서 출력되는 데이터가 제1테스트 모드에서 출력되는 데이터에 비해 반 싸이클 늦다는 것이다. 상술한 바와 같이 이러한 동작을 수행하기 위한 회로는, 멀티플렉서를 이용한 데이터 경로 변경 없이 출력 멀티플렉서(43)에서 데이터 출력의 기준이 되는 CDQ\_F와 CDQ\_S를 인에이블/디스에이블함으로써 쉽게 구현할 수 있다.
- <49> 이상에서 설명한 본 발명의 제1 내지 제3실시예에 따른 메모리장치에서는 테스트 모드시 출력 데이터(DOUT)의 주파수가 낮아지므로 즉 출력 데이터(DOUT)의 데이터율이 낮아지므로 유효 출력 데이터 윈도우(Valid output data window)가 확장된다. 따라서 테스트시 메모리장치에 대한 정확한 테스트가 가능한 장점이 있다.
- <50> 그러나 테스트 모드시 유효 출력 데이터 윈도우(Valid output data window)가 확장된 반면에 독출 동작이 반복되어야 하는 단점이 있다. 예컨대 유효 출력 데이터 윈도우가 2배로 확

장될 경우 즉 한 사이클 동안에 2번 연속하여 동일한 데이터가 출력될 경우에는 테스트 모드시 독출동작이 2번 수행되어야 한다. 즉 상술한 바와 같이 먼저 제1테스트 모드에서의 독출동작이 수행된 후 제2테스트 모드에서의 독출동작이 수행되어야 한다. 그러나, 통상적으로 테스트 장비의 한계로 인해 독출 동작을 2번 이상씩 적용하기도 하므로 실제로는 이러한 테스트 모드를 적용함으로써 시간적 손해는 없을 것이다.

<51> 도 6은 본 발명의 제4실시예에 따른 동기식 메모리장치를 나타내는 도면이고 도 7은 도 6에 도시된 동기식 메모리장치에서 정상 모드 및 테스트 모드시의 출력 타이밍도를 나타내는 도면이다. 제4실시예에 따른 동기식 메모리장치에서는 테스트 모드시 유효 출력 데이터 윈도우(Valid output data window)가 확장되면서도 단 1번의 독출 동작에 의해 테스트될 수 있다.

<52> 도 6을 참조하면, 본 발명의 제4실시예에 따른 동기식 메모리장치는, 메모리셀 어레이(11), FIFO 회로를 포함하는 출력 멀티플렉서(63), 및 모드 레지스터 셋트(MRS)(15)를 구비한다.

<53> 출력 멀티플렉서(63) 내의 FIFO 회로는 메모리셀 어레이(11)로부터 독출된 데이터를 저장하고 출력 멀티플렉서(63)는 상기 FIFO 회로에 저장된 데이터중 홀수번째 비트를 제1제어클럭(CDQ\_F)에 응답하여 외부로 출력하고 상기 FIFO 회로에 저장된 데이터중 짝수번째 비트를 제2제어클럭(CDQ\_S)에 응답하여 외부로 출력한다.

<54> 특히 도 7의 타이밍도에 도시된 바와 같이 테스트 모드시에는 정상 모드시에 비하여 제1제어클럭(CDQ\_F)의 주파수와 제2제어클럭(CDQ\_S)의 주파수가  $1/N$ ( $N$ 은 2이상의 자연수)로 낮아진다.



- <55> 좀더 설명하면, 제4실시예에서는 출력 멀티플렉서(63) 내에 FIFO 회로를 구비시키고 FIFO 회로의 출력에 대해 기준이 되는 클럭들(CDQ\_F, CDQ\_S)의 주파수를  $1/N$ ( $N$ 은 2이상의 자연수)로 낮추는 방법이 이용된다. 웨이브 파이프라인(wave pipeline) 방식으로 레이턴시(latency)를 제어하는 메모리장치는 상기 FIFO 회로를 이미 가지고 있으므로, 이 FIFO 회로의 출력을 제어하는 클럭들(CDQ\_F, CDQ\_S)의 주파수만을  $1/N$ 로 낮추면 쉽게 구현될 수 있다.
- <56> 한편 본 발명의 제4실시예에 따른 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(MRS)(15)를 더 구비하고, 상기 테스트 모드는 MRS(15)에 의해 설정된다. 예컨대 모드 레지스터 셋트(MRS)(15)의 출력신호(TM)가 활성화되면 테스트 모드가 설정된다.
- <57> 상술한 제4실시예에서는 테스트 모드시에는 정상동작시에 비하여 마지막 출력 데이터(D3)가 나오는 시점이 뒤쪽으로 밀리므로 데이터 충돌에 유의하여 테스트 패턴을 구현해야 하는 제약이 있다. 그러나 제1 내지 제3실시예에서는 테스트 모드시 유효 출력 데이터 윈도우를 확장하기 위해서는 독출동작이 2번 이상 수행되어야 하는 단점이 있으나 제4실시예에서는 독출동작이 한번만 수행되어도 되는 장점이 있다.
- <58> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<59> 상술한 바와 같이 본 발명에 따른 동기식 메모리장치에서는 테스트 모드시 유효 출력 데이터 윈도우가 확장될 수 있다. 따라서 본 발명에 따른 메모리장치에 대한 테스트시 정확한 테스트가 가능한 장점이 있다.

**【특허청구범위】****【청구항 1】**

동작 클럭 주파수에 따라 데이터를 출력하는 정상 모드; 및

상기 동작 클럭 주파수의  $1/N$  ( $N$ 은 2이상의 자연수)에 해당하는 주파수에 따라 데이터를 출력하는 테스트 모드를 구비하는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 2】**

제1항에 있어서,

외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고,

상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 3】**

제1항에 있어서, 상기 테스트 모드에서는  $N$ 번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 4】**

제1항에 있어서, 상기 테스트 모드에서 1번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 5】**

메모리셀 어레이; 및

정상 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터를 순차적으로 출력하고 테스트 모드시에는 데이터 경로를 변경하여  $N$ ( $N$ 은 2이상의 자연수)번 연속하여 동일한 데이터를 출력하는 출력회로를 구비하는 것을 특징으로 하는 동기식 메모리장치.

#### 【청구항 6】

제5항에 있어서, 상기 출력회로는, 상기 테스트 모드시에는 상기 독출된 데이터의 하나의 비트를  $N$ 개의 출력라인으로 연결하는 것을 특징으로 하는 동기식 메모리장치.

#### 【청구항 7】

제5항에 있어서, 상기 출력회로는,

상기 정상 모드시에는 상기 독출된 데이터의 홀수번째 비트를 홀수번째 출력라인으로 전달하고 상기 독출된 데이터의 짝수번째 비트를 짝수번째 출력라인으로 전달하며, 상기 테스트 모드의 제1테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트를 홀수번째 및 짝수번째 출력라인으로 전달하고 상기 테스트 모드의 제2테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트를 상기 홀수번째 및 짝수번째 출력라인으로 전달하는 멀티플렉서; 및

제1 및 제2제어클럭에 의해 제어되고, 상기 제1제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하고 상기 제2제어클럭에 응답하여 상기 짝수번째 출력라인의 데이터를 외부로 출력하는 출력 멀티플렉서를 구비하는 것을 특징으로 하는 동기식 메모리장치.

#### 【청구항 8】

제7항에 있어서, 상기 제1테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트가 상기 출력라인들로 전달되는 것이 블락킹되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 9】**

제7항에 있어서, 상기 제2테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트가 상기 출력라인들로 전달되는 것이 블락킹되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 10】**

제5항에 있어서, 상기 출력회로는,

상기 정상 모드시에는 상기 독출된 데이터의 홀수번째 비트를 홀수번째 출력라인으로 전달하고 상기 독출된 데이터의 짝수번째 비트를 짝수번째 출력라인으로 전달하며, 상기 테스트 모드의 제1테스트 모드시에도 상기 정상 모드시와 마찬가지로 상기 독출된 데이터의 홀수번째 비트를 상기 홀수번째 출력라인으로 전달하고 상기 독출된 데이터의 짝수번째 비트를 상기 짝수번째 출력라인으로 전달하며, 상기 테스트 모드의 제2테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트를 상기 홀수번째 출력라인으로 전달하는 멀티플렉서; 및

제1 및 제2제어클럭에 의해 제어되고, 상기 제1테스트 모드시에는 상기 제1제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하고 상기 제2테스트 모드시에도 상기 제1제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하는 출력 멀티플렉서를 구비하고,

상기 제1테스트 모드 및 상기 제2테스트 모드시에는 상기 제1제어클럭만이 인에이블되고 상기 제2제어클럭은 디스에이블되는 것을 특징으로 하는 동기식 메모리장치.

**【청구항 11】**

제5항에 있어서,

외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고,  
상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 동기식 메모리장치.

【청구항 12】

제5항에 있어서, 상기 테스트 모드에서는 N번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 동기식 메모리장치.

【청구항 13】

메모리셀 어레이; 및

제 1테스트 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터중 홀수번째 비트를 제1제어클럭에 응답하여 외부로 출력하고 제2테스트 모드시에는 상기 메모리셀 어레이로부터 독출된 데이터중 짝수번째 비트를 제2제어클럭에 응답하여 외부로 출력하는 출력 멀티플렉서를 구비하고,

상기 제1테스트 모드시에는 상기 제2제어클럭이 디스에이블되고 상기 제2테스트 모드시에는 상기 제1제어클럭이 디스에이블되는 것을 특징으로 하는 동기식 메모리장치.

【청구항 14】

제13항에 있어서,

외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고,

상기 제1 및 제2테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 동기식 메모리장치.

## 【청구항 15】

메모리셀 어레이; 및

상기 메모리셀 어레이로부터 독출된 데이터를 저장하는 FIFO 회로를 포함하고, 상기 FIFO 회로에 저장된 데이터중 홀수번째 비트를 제1제어클럭에 응답하여 외부로 출력하고 상기 FIFO 회로에 저장된 데이터중 짝수번째 비트를 제2제어클럭에 응답하여 외부로 출력하는 출력 멀티플렉서를 구비하고,

테스트 모드시에는 상기 제1제어클럭의 주파수와 상기 제2제어클럭의 주파수가  $1/N$ ( $N$ 은 2이상의 자연수)로 낮아지는 것을 특징으로 하는 동기식 메모리장치.

## 【청구항 16】

제15항에 있어서,

외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고,

상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 동기식 메모리장치.

## 【청구항 17】

제15항에 있어서, 상기 테스트 모드에서 1번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 동기식 메모리장치.

## 【청구항 18】

메모리셀 어레이 및 상기 메모리셀 어레이로부터 독출된 데이터를 외부로 출력하는 출력 회로를 구비하는 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법에 있어서,

테스트 모드시에 상기 출력회로의 데이터 경로를 변경하여 N(N은 2이상의 자연수)번 연속하여 동일한 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

【청구항 19】

제18항에 있어서, 상기 출력하는 단계는,

상기 테스트 모드시에 상기 독출된 데이터의 하나의 비트를 N개의 출력라인으로 연결하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

【청구항 20】

제18항에 있어서, 상기 출력하는 단계는,

상기 테스트 모드의 제1테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트를 홀수번째 및 짝수번째 출력라인으로 전달하는 단계;

상기 테스트 모드의 제2테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트를 상기 홀수번째 및 짝수번째 출력라인으로 전달하는 단계; 및

제 1제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하는 단계; 및

제2제어클럭에 응답하여 상기 짝수번째 출력라인의 데이터를 외부로 출력하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

【청구항 21】

제20항에 있어서, 상기 제1테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트가 상기 출력라인들로 전달되는 것이 블락킹되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.



**【청구항 22】**

제20항에 있어서, 상기 제2테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트가 상기 출력라인들로 전달되는 것이 블락킹되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 23】**

제18항에 있어서, 상기 출력하는 단계는,

상기 테스트 모드의 제1테스트 모드시에는 상기 독출된 데이터의 홀수번째 비트를 홀수번째 출력라인으로 전달하고 상기 독출된 데이터의 짝수번째 비트를 짝수번째 출력라인으로 전달하는 단계;

상기 테스트 모드의 제2테스트 모드시에는 상기 독출된 데이터의 짝수번째 비트를 상기 홀수번째 출력라인으로 전달하는 단계;

상기 제1테스트 모드시에 제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하는 단계; 및

상기 제2테스트 모드시에 상기 제어클럭에 응답하여 상기 홀수번째 출력라인의 데이터를 외부로 출력하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 24】**

제18항에 있어서, 상기 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(MRS)를 더 구비하고, 상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 25】**

제18항에 있어서, 상기 테스트 모드에서는 N번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 26】**

메모리셀 어레이 및 상기 메모리셀 어레이로부터 독출된 데이터를 외부로 출력하는 출력 회로를 구비하는 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법에 있어서,

제 1테스트 모드시에 제1제어클럭을 인에이블시키고 제2제어클럭을 디스에이블시키는 단계;

상기 제1테스트 모드시에 상기 메모리셀 어레이로부터 독출된 데이터중 홀수번째 비트를 상기 제1제어클럭에 응답하여 외부로 출력하는 단계;

제 2테스트 모드시에 상기 제1제어클럭을 디스에이블시키고 상기 제2제어클럭을 인에이블시키는 단계; 및

상기 제2테스트 모드시에 상기 메모리셀 어레이로부터 독출된 데이터중 짝수번째 비트를 상기 제2제어클럭에 응답하여 외부로 출력하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 27】**

제26항에 있어서, 상기 동기식 메모리장치는 외부에서 제어가능한 모드 레지스터 셋트(MRS)를 더 구비하고, 상기 제1 및 제2테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 28】**

메모리셀 어레이로부터 독출된 데이터를 저장하는 FIFO 회로를 포함하고 상기 FIFO 회로에 저장된 데이터를 제1제어클럭 및 제2제어클럭에 응답하여 외부로 출력하는 출력회로를 구비하는 동기식 메모리장치의 유효 출력 데이터 윈도우 확장 방법에 있어서,

테스트 모드시에 상기 제1제어클럭의 주파수와 상기 제2제어클럭의 주파수를  $1/N$ ( $N$ 은 2 이상의 자연수)로 낮추는 단계;

상기 FIFO 회로에 저장된 데이터중 홀수번째 비트를 상기 주파수가 낮아진 제1제어클럭에 응답하여 외부로 출력하는 단계; 및

상기 FIFO 회로에 저장된 데이터중 짝수번째 비트를 상기 주파수가 낮아진 제2제어클럭에 응답하여 외부로 출력하는 단계를 구비하는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 29】**

제28항에 있어서,

외부에서 제어가능한 모드 레지스터 셋트(Mode Register Set, MRS)를 더 구비하고,

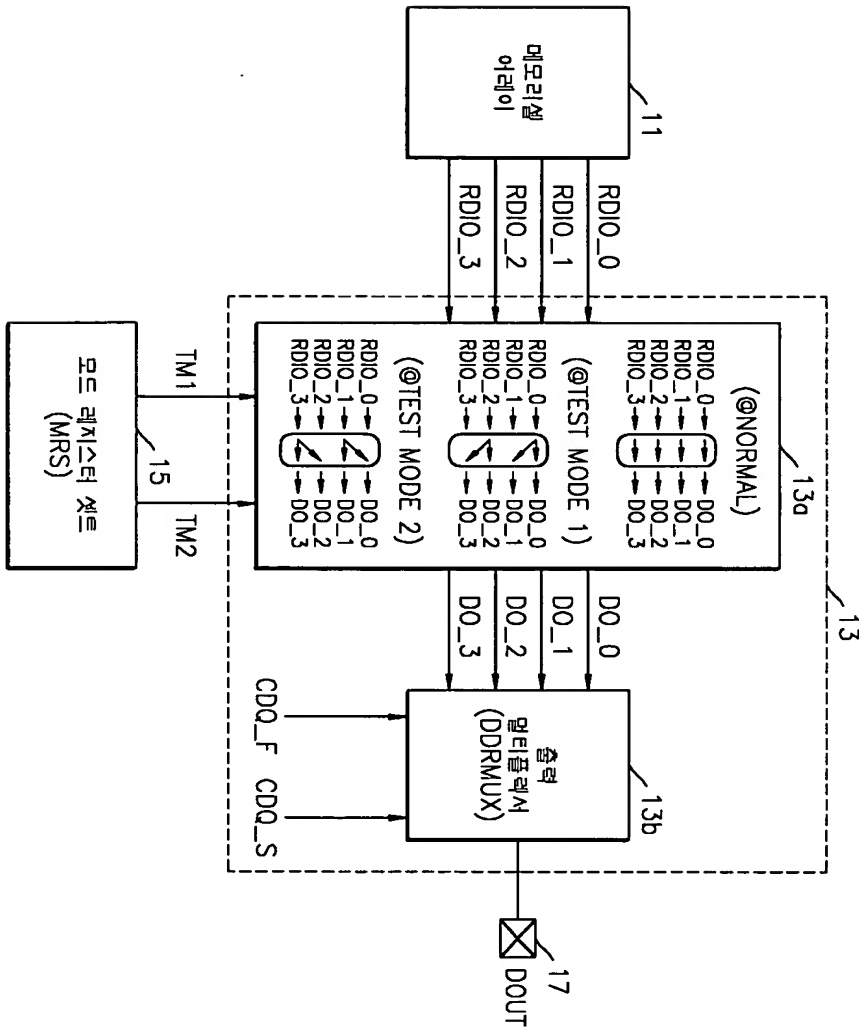
상기 테스트 모드는 상기 모드 레지스터 셋트에 의해 설정되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

**【청구항 30】**

제28항에 있어서, 상기 테스트 모드에서 1번의 독출동작이 수행될 때 상기 데이터가 모두 출력되는 것을 특징으로 하는 유효 출력 데이터 윈도우 확장 방법.

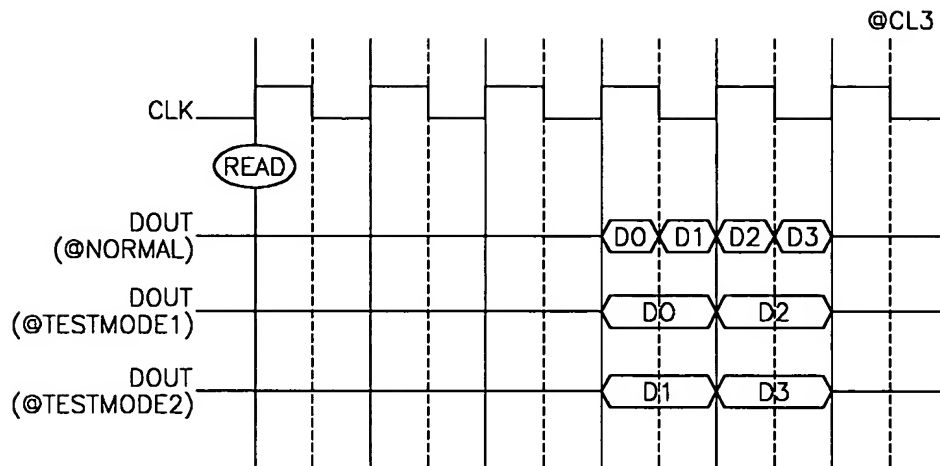
【도면】

【도 1】

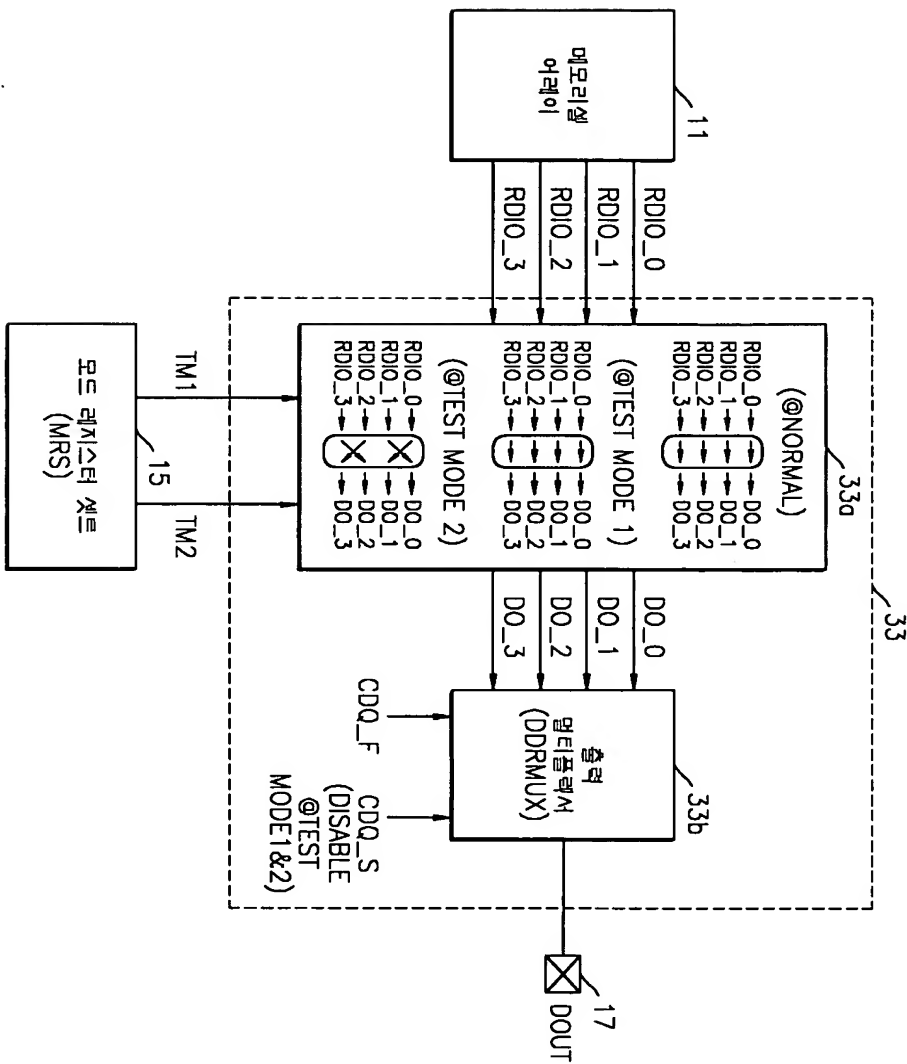




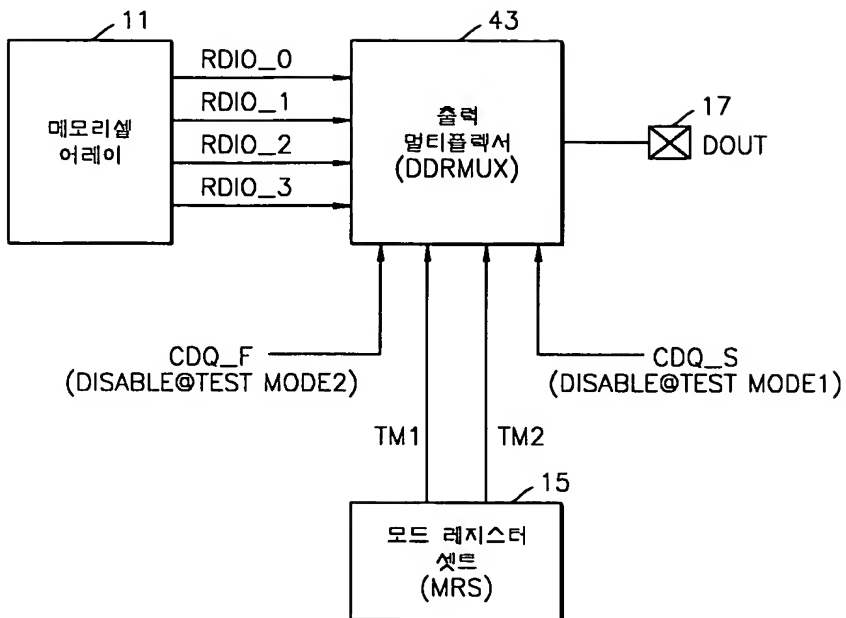
【도 2】



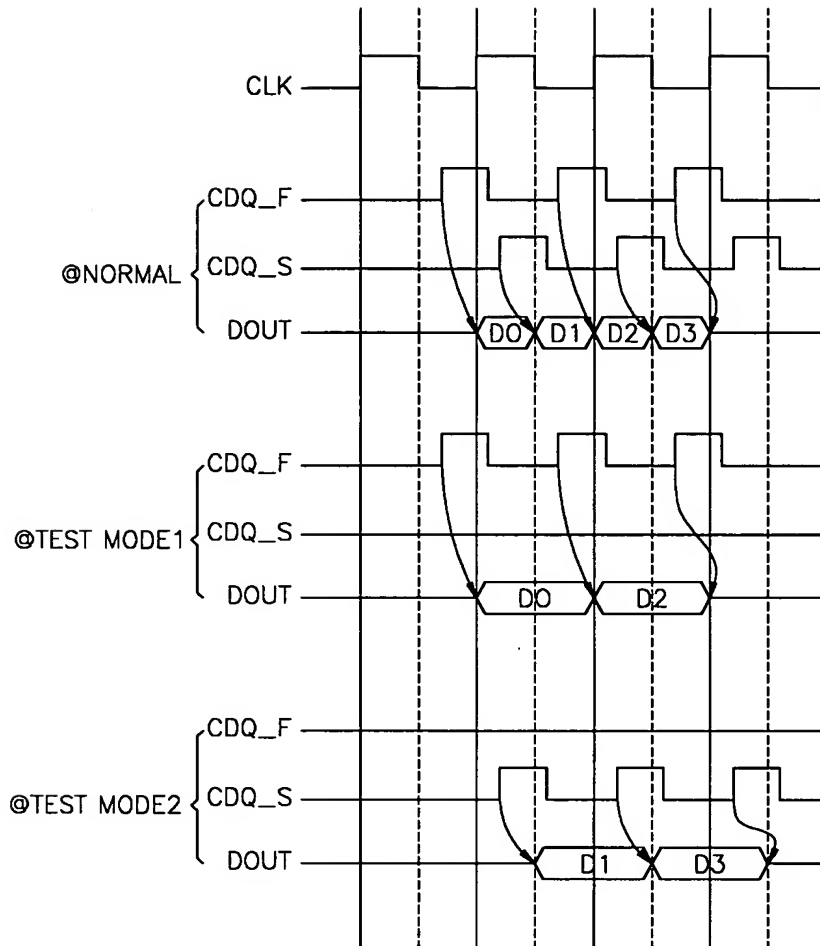
【도 3】



【도 4】

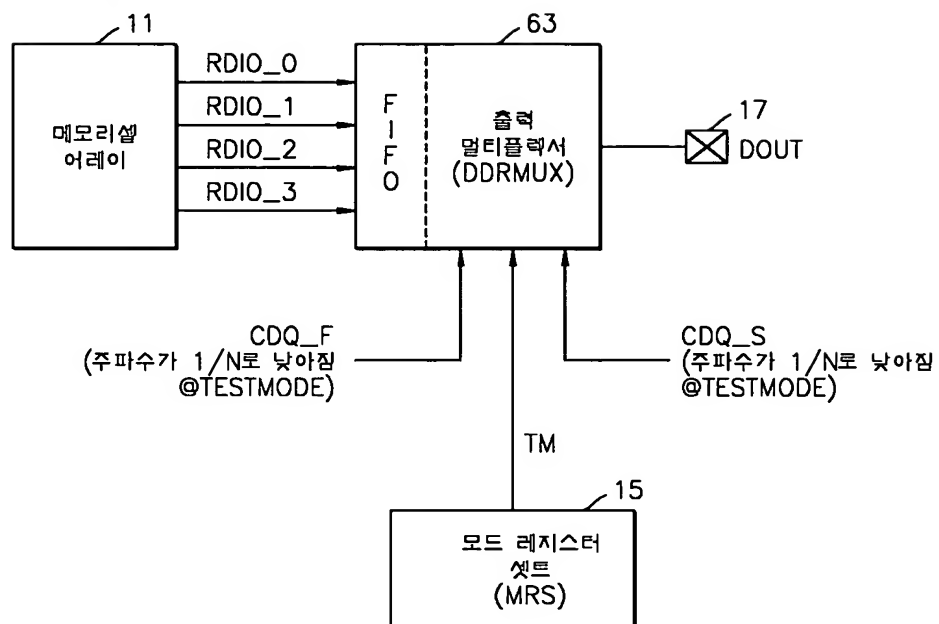


【도 5】





【도 6】



【도 7】

